

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-284900

(43)Date of publication of application : 15.12.1986

(51)Int.Cl.

G11C 29/00

G11C 17/00

(21)Application number : 60-125177

(71)Applicant : HITACHI LTD

(22)Date of filing : 11.06.1985

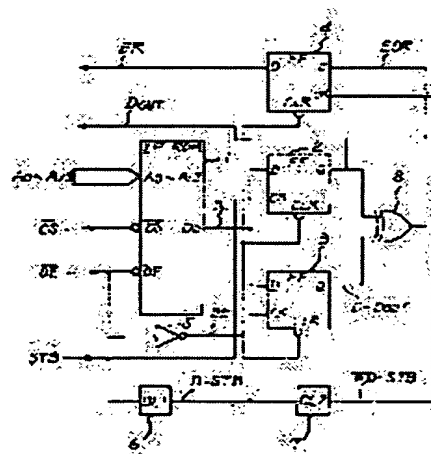
(72)Inventor : YONEDA YUTAKA
ISHIKAWA SADANORI

(54) EP-ROM MEMORY LIFE DECIDING SYSTEM

(57)Abstract:

PURPOSE: To take necessary measures before a storage is erased completely, by sampling successively an output data extending over at least two times in the course of a read-out operation of an EP-ROM, and deciding a memory life in accordance with whether the data coincide with each other or not.

CONSTITUTION: A read-out data D0 from an EP-RAM 1 is inputted as a data input to D-type flip-flops 2, 3, and to this flip-flops 2, 3, the first and the second sampling data of the read-out data D0 are set, respectively. As for a set output DOUT of the flip-flop 2 and a set output D-DOUT of the flip-flop 3, its data states are compared by an exclusive OR gate 8, and its comparison result EOR is set to a D-type flip-flop 4 by a signal WD-STB from a delay line 7. In case when the set outputs DOUT are the same (normal output), the flip-flop 4 remains reset, but in case when they are not the same (abnormal output), said flip-flop is set and an abnormality warning signal ER is obtained, and it can be known that its memory is being erased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-284900

⑬ Int.Cl.⁴

G 11 C 29/00
17/00

識別記号

庁内整理番号

T-7737-5B
6549-5B

⑭ 公開 昭和61年(1986)12月15日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 EP-ROM記憶寿命判定方式

⑯ 特 願 昭60-125177

⑰ 出 願 昭60(1985)6月11日

⑱ 発 明 者 米 田 豊 横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内

⑲ 発 明 者 石 川 禎 典 横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 秋本 正実

明 細 書

発明の名称

EP-ROM記憶寿命判定方式

特許請求の範囲

EP-ROMよりデータが読み出されている間に、該データを少なくとも2回に亘って順次サンプリングし、サンプリングされたデータが同一か否かによって、EP-ROMメモリセル内記憶情報の記憶寿命を判定することを特徴とするEP-ROM記憶寿命判定方式。

発明の詳細な説明

〔発明の利用分野〕

本発明は、紫外線消去型読出専用半導体記憶装置としてのEP-ROMにおけるメモリセル内の記憶情報が経時的に消去される前に、その前兆を検出し外部に知らせるようにしたEP-ROM記憶寿命判定方式に関するものである。

〔発明の背景〕

例えば論文「ROM/RAM、ペリフェラルの接続方法」(雑誌トランジスタ技術、1983年4月

号p300~308、CQ出版社発行)にはEP-ROMの出力データを1回のみ取り込んだうえこれをそれからの読出データとして使用することが示されている。しかしながら、このように出力データを1回のみ取込する場合は、EP-ROMメモリセル内での記憶情報の経時的な消去に対しては事前に対処し得ないことになる。

〔発明の目的〕

本発明の目的は、EP-ROMメモリセル内での記憶情報が経時的に消去されつつあるを容易に知れるEP-ROM記憶寿命判定方式を供するにある。

〔発明の概要〕

この目的のため本発明は、読出動作時にはある時間に亘って読出データが正常にEP-ROMより出力されるが、EP-ROMメモリセルを構成するフローティングゲートに蓄えられている電荷量が低減する程に、その後の出力データの論理レベルが時間的に早く反転する現象に着目してなされたものである。即ち、EP-ROMの読出動作

中に出力データを少なくとも2回に亘って順次サンプリングし、サンプリングされた出力データが全て一致するかどうかで記憶寿命を判定するようにしたものである。この場合1回目のサンプリングは出力データが確実に正常に得られる時点とされ、2回目以降のサンプリングはそれより順次時間遅れを以て行なわれるようになっている。

〔発明の実施例〕

以下、本発明を第1図から第6図により説明する。

先ず本発明に係るEP-ROM記憶寿命判定回路について説明すれば、第1図はその基本的な一例での構成をEP-ROMとともに示したものである。図示の如くEP-ROM1に対しては外部より読出アドレス信号 $A_0 \sim A_{15}$ 、そのEP-ROM1を選択するための信号 \overline{CS} およびEP-ROM1より読出データの出力を許容する信号 \overline{OE} が入力されるものとなっている。これら信号が入力されることによってEP-ROM1からは読出アドレス信号 $A_0 \sim A_{15}$ 対応の読出データ D_0 が得

られるものである。この読出データ D_0 はデータ入力としてD型フリップフロップ2、3に入力されるが、これらフリップフロップ2、3にはそれぞれ読出データ D_0 の第1回目、第2回目のサンプリングデータがセットされるようになっている。即ち、外部からのサンプリング取込信号STBによってフリップフロップ2には第1回目のサンプリングデータが、遅延線6からの信号 $D-STB$ によってはフリップフロップ3に第2回目のサンプリングデータがセットされるものである。この場合フリップフロップ2のセット出力 D_{out} は外部に読出データとして出力されるが、このセット出力 D_{out} とフリップフロップ3のセット出力 $D-D_{out}$ は排他的論理和ゲート8でそのデータ状態が比較され、その比較結果EORは遅延線7からの信号 $WD-STB$ によってD型フリップフロップ4にセットされるようになっている。セット出力 D_{out} 、 $D-D_{out}$ が同一である場合（正常出力）はフリップフロップ4はリセットされたままであるが、同一でない場合（異常出力）にはそれはセ

ットされ異常警告信号ERが得られるものである。この異常警告信号ERにもとづいて警告ランプを点灯させたり、CPUに割込をかけることによってEP-ROM1の異常、即ち、その記憶が消去されつつあることが知れるものである。なお、フリップフロップ2～4はインバータ5を介された信号 \overline{OE} によってリセット動作が行なわれる。また、記憶寿命判定回路の構成素子としてはTTLのもので十分である。また、遅延線6、7はコイルおよびコンデンサを組合せたものでよく、これによりそれぞれ数100ns、数10nsの遅延時間が得られるようになっている。

第2図は第1図における要部での一例での出力信号波形を示したものである。但し、本例でのものは読出データ（ D_0 あるいは D_{out} ）は“0”である場合を想定しており、正常出力時での波形は実線で、また、異常出力時でのそれは破線で示されている。

この第2図により第1図に示すものの回路動作を説明の簡便化上信号 \overline{CS} は常に“L”であると

して説明すれば、アドレス信号 $A_0 \sim A_{15}$ が変化した時点で変化後のアドレスに対する読出動作が開始され、この後やや遅れて信号 \overline{OE} が“L”に移行することによってEP-ROM1の出力インピーダンス状態はそれまでの浮動状態（高出力インピーダンス状態；HiZ）から低出力インピーダンス状態に移行することになる。低出力インピーダンス状態では読出データ D_0 としては“0”が得られるわけである。さて、この後は信号STBが入力されることによって、フリップフロップ2、3にはそれぞれ信号STB、 $D-STB$ 入力時点での読出データ D_0 がセットされるわけであるが、正常出力の場合はフリップフロップ2、3のセット出力 D_{out} 、 $D-D_{out}$ は何れも“L”となり、したがって、排他的論理和ゲート8による比較結果EORも“L”として信号 $WD-STB$ によってフリップフロップ4にセットされることになるものである。即ち、正常出力の場合は異常警告信号ERは得られないものである。

一方、異常出力の場合にはフリップフロップ3

のセット出力D-Doutは“H”となっていることから、フリップフロップ4からは異常警告信号ERが得られるわけである。

以上は読出データとして“0”を想定した場合のものであるが、第3図はそれとは逆に“1”を想定した場合での入出力信号波形を示したものである。これについてはこれまでの説明よりして明らかであるので特に説明は要されないであろう。

ところで、第1図に示すものにおいてはEP-ROMからの読出データは2回サンプリングされているが、これに限定されることなく3回以上サンプリングすることも可となっている。第4図は3回サンプリングする場合でのEP-ROM記憶寿命判定回路の一例での構成を示したものである。図示の如く第1図に示すものにD型フリップフロップ9、排他的論理和ゲート10、オアゲート11および遅延線12が追加されたことを除けば第1図に示すものに同様となっている。遅延線12からの信号DD-STBによってはフリップフロップ9に第3回目の読出データD₀のサンプリングデータ

がセットされるものである。この場合フリップフロップ2, 3, 9のセット出力Dout, D-Dout, DD-Doutは全て同一か否かが判定されるが、本例ではセット出力Doutとセット出力D-Dout, DD-Dout各々との間で比較が行なわれるものとなっている。排他的論理和ゲート8, 10からの比較結果EOR₁, EOR₂はオアゲート11で論理和されたうえ信号WD-STBによってフリップフロップ4にセットされるようになっているものである。

第5図は読出データとして“0”を想定した場合での入出力信号波形を示すが、これについては特に説明は要しない。

なお、以上の例ではEP-ROM記憶寿命判定回路はEP-ROM外部に設けられているが、その内部に含ませ通常の使用動作状態でその記憶寿命を判定することも考えられる。その内部に含ませる場合、フリップフロップ、排他的論理和ゲートおよびインバータについては全て論理回路であり、EP-ROMの製造プロセスであるMOS

(Metal Oxide Semiconductor)プロセスで容易に構成することが、可能である。また、遅延回路についてはコイルとコンデンサを組合せたものでは、半導体プロセスにおいてはコイルが製造困難であるため実現は難しい。しかしながら、インバータはある遅延時間を有している。この遅延時間は大きくないがインバータ1段で約10nsの遅延時間を有しているので、これを複数段直列接続し、必要な遅延時間を得ることができる。第6図はその構成を示したものである。図示の如くインバータ13₁~13_nがn(偶数)段カスケードに接続されることによって所望の遅延時間を得るものである。

〔発明の効果〕

以上説明したように本発明による場合は、EP-ROMメモリセル内での記憶情報が経時的に消去されつつあるのを、完全に消去される前に容易に知れ、必要な措置が採れるという効果がある。

図面の簡単な説明

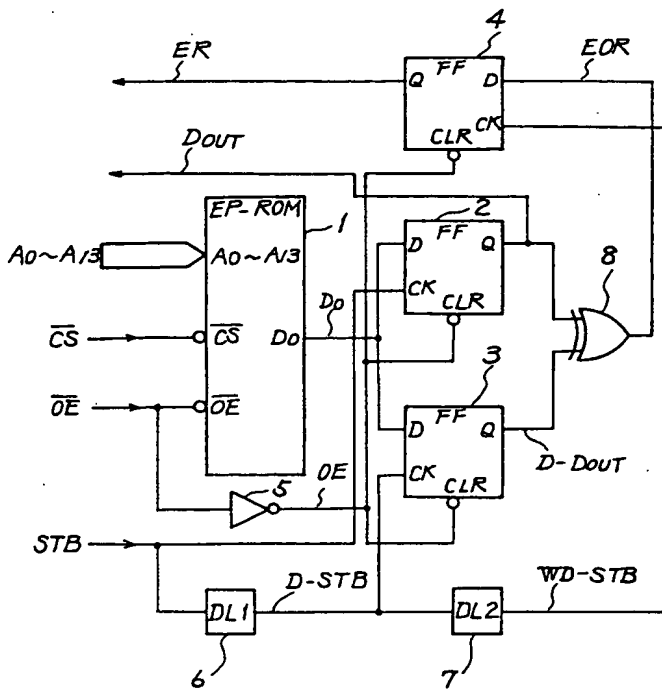
第1図は、本発明に係るEP-ROM記憶寿命判定回路一例での構成をEP-ROMとともに示

す図、第2図、第3図は、その回路動作を説明するための要部での入出力信号波形を示す図、第4図は、本発明の他の実施態様に係るEP-ROM記憶寿命判定回路の一例での構成をEP-ROMとともに示す図、第5図は、その回路動作を説明するための要部での入出力信号波形を示す図、第6図は、インバータによる遅延回路の例を示す図である。

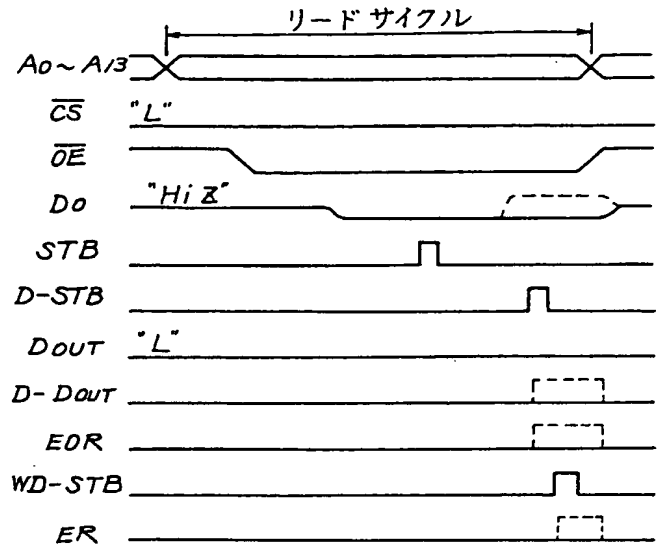
1…EP-ROM、2~4, 9…D型フリップフロップ6, 7, 12…遅延線、8, 10…排他的論理和ゲート。

代理人 弁理士 秋 本 正 実

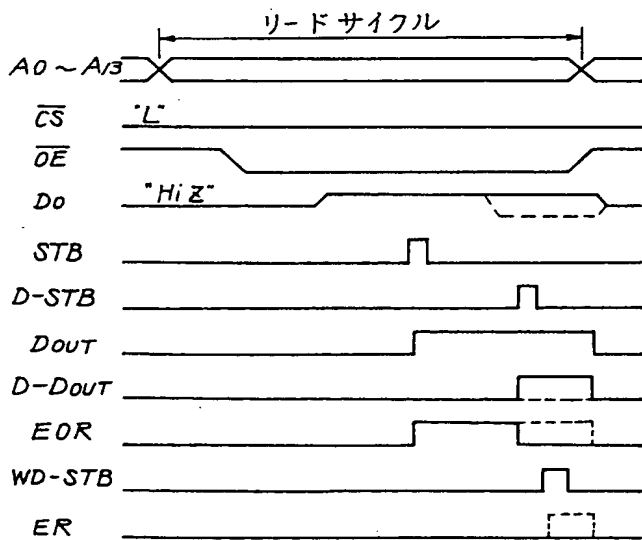
第 1 図



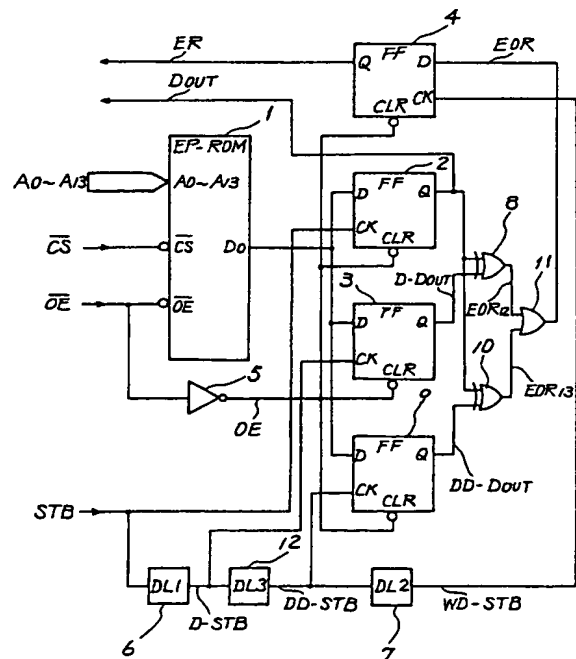
第 2 図



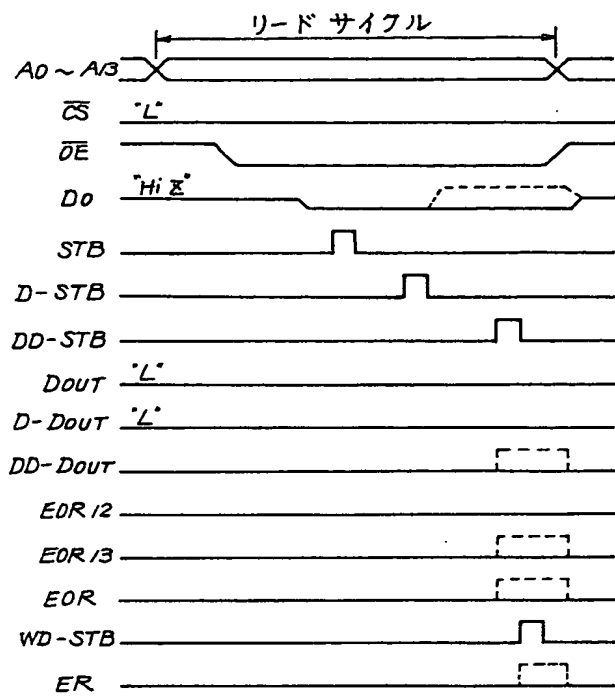
第 3 図



第 4 図



第 5 図



第 6 図

